

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
12. September 2003 (12.09.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/075350 A1(51) Internationale Patentklassifikation⁷: H01L 27/115,
G11C 16/10

(21) Internationales Aktenzeichen: PCT/EP03/01583

(22) Internationales Anmeldedatum:
17. Februar 2003 (17.02.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 07 300.7 21. Februar 2002 (21.02.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HOFMANN, Franz
[DE/DE]; Herbergstr. 25B, 80995 München (DE).
LUYKEN, Richard, Johannes [DE/DE]; Böcklerweg
28, 81825 München (DE). SCHLÖSSER, Till [DE/DE];
Stendahler Str. 10, 01109 Dresden (DE).(74) Anwalt: DOKTER, Eric-Michael; Viering, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).

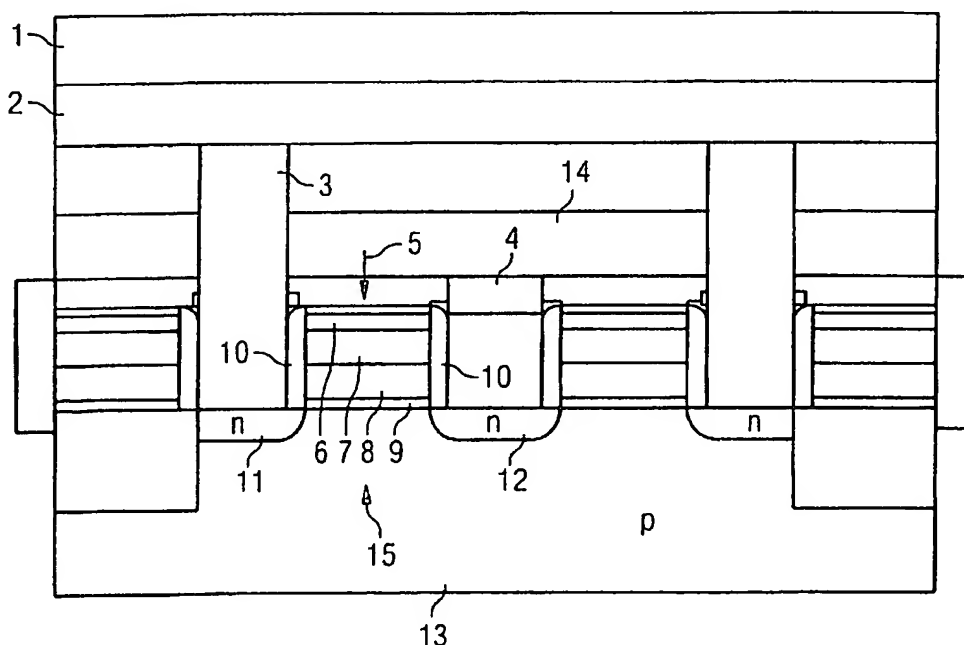
(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

Veröffentlicht:

— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED READ-ONLY MEMORY, METHOD FOR OPERATING SAID READ-ONLY MEMORY AND COR-
RESPONDING PRODUCTION METHOD(54) Bezeichnung: INTEGRIERTER FESTWERTSPEICHER, VERFAHREN ZUM BETREIBEN EINES SOLCHEN
FESTWERTSPEICHERS SOWIE HERSTELLUNGSVERFAHREN(57) Abstract: The invention relates an integrated read-only memory containing select transistors, each of which has a drain con-
nection and an electrode for feeding a voltage or current. A layer is provided between the drain connections and the electrode, whose
electric resistance can be changed under the effect of a configuration voltage or current. The layer is applied in a backend process.

[Fortsetzung auf der nächsten Seite]



WO 03/075350 A1



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Ein integrierter Festwertspeicher enthält Auswahltransistoren mit je einem Drain-Anschluss sowie eine Elektrode zur Zufuhr einer Spannung oder eines Stromes. Es ist eine Schicht zwischen den Drain-Anschlüssen und der Elektrode vorgesehen, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist. Die Schicht wird im Backend-Prozess aufgebracht.

Beschreibung

Integrierter Festwertspeicher, Verfahren zum Betreiben eines solchen Festwertspeichers sowie Herstellungsverfahren

5

Die Erfindung betrifft einen integrierten Festwertspeicher, ein Verfahren zum Betreiben eines solchen Festwertspeichers sowie ein Herstellungsverfahren für einen integrierten Festwertspeicher.

10

Mit zunehmender Integrationsdichte in der Mikroelektronik steigt auch der Bedarf an hochintegrierten Festwertspeichern. Diese finden Einsatz beispielsweise für die On-Chip-Speicherung von Audio-, Grafik- oder Videodaten.

15

Festwertspeicher zeichnen sich dadurch aus, dass der Speicherinhalt auch beim Abschalten der Betriebsspannung erhalten bleibt. Solche Festwertspeicher sind insbesondere auch programmierbar ausgebildet (PROM). Programmierbare Bauelemente dafür sind etwa Sicherungen, Dioden oder aber auch spezielle MOSFETs, die ein zusätzliches sogenanntes Floating Gate aufweisen. Dieses wird beim Programmieren aufgeladen und verschiebt dadurch die Schwellenspannung des MOSFETs. Da das Floating Gate ringsum mit SiO_2 isoliert ist, kann der Ladungserhalt für etwa zehn Jahre garantiert werden.

20

25

Über die Programmierfunktion hinaus gibt es Festwertspeichervarianten, die löscherbar ausgebildet sind (EPROM, EEPROM). Bei EPROMs kann der Speicherinhalt mit ultravioletter Licht gelöscht werden, bei EEPROMs erfolgt die Löscherfunktion elektrisch.

30

Eine besondere Ausführungsform von löscherbaren Festwertspeichern stellen Flash-Speicher dar. Diese sind elektrisch löscherbar, wobei nicht die einzelnen Speicherzellen

35

separat löschar sind, sondern nur ein ganzer Block auf dem
Chip auf einmal. Dabei erfolgt die Löschung mittels eines
einzigen, einige Sekunden andauernden Löschimpulses. Der
Vorteil dabei ist, dass der Speicherchip zum Löschen nicht
5 ausgebaut und in ein Löscharat gelegt werden muß.

Gewöhnlich sind integrierte Speicher in Form von Feldern
aufgebaut. Über sogenannte Auswahltransistoren werden
einzelne Speicherelemente angewählt, sodass ihr Inhalt
10 ausgelesen werden kann. Über Wortleitungen werden einzelne
Auswahltransistoren ausgewählt. Die Wortleitungen sind dabei
mit den Steuerelektroden von Auswahltransistoren verbunden.
Über Bitleitungen wird der Speicherinhalt ausgelesen. Zum
Beschreiben oder Konfigurieren von Speicherzellen sind
15 gewöhnlich zusätzliche Leitungen zum Zugriff auf das
Speicherelement erforderlich. Dies vergrößert den Aufbau von
integrierten Festwertspeichern und verkompliziert deren

Handhabung.

20 Aus [1] ist eine elektronisch konfigurierbare Verbindung
bekannt, die eine molekulare Monoschicht zwischen zwei
lithografisch hergestellten Kontakten aufweist. Die Kontakte
sind dabei als Al-Ti-Elektroden ausgebildet. Als
Molekularschicht werden Rotaxan-Moleküle verwendet.

25

Das elektrische Verhalten dieser Verbindung läßt sich wie
folgt beschreiben: Wird eine Schicht negativ gepolt, so
steigt mit zunehmender negativer Polung der Strom an der
Verbindung an. Eine solche Behandlung der elektrischen
30 Verbindung ändert das Schaltverhalten dahingehend, dass
nunmehr bei negativ gepolter Schicht nur noch ein um den
Faktor 60 bis 80 geringerer Strom meßbar ist als ohne die
vorherige Behandlung der Verbindung mit einer positiv
gepolten Schicht.

35

Damit kann die Verbindung als Schalter verstanden werden, der einen offenen (schlechtere Leitfähigkeit) sowie einen geschlossenen Zustand (bessere Leitfähigkeit) aufweisen kann. Der offene Zustand erlaubt einen Stromfluß bei negativer Spannung aufgrund eines Resonanz-Tunneleffekts im Rotaxan-Elektroden-Übergang. Der Übergang des Schalters vom offenen in den geschlossenen Zustand durch Anlegen einer ausreichenden positiven Spannung ist irreversibel, sodass ein einmal geschlossener Schalter nicht mehr einen offenen Zustand einnehmen kann.

Die Verbindung ist zum Einsatz in Logikschaltungen offenbart.

Ein weiterer elektronisch konfigurierbarer Schalter ist aus [2] bekannt: Als Elektroden werden zum einen eine polykristalline Silizium-Elektrode und zum anderen eine Metallelektrode verwendet. Eine molekulare Monoschicht zwischen den Elektroden enthält [2] Catenane.

Bei Betrieb des Schalters wird der Effekt ausgenutzt, dass sich mechanisch blockierte, ineinandergreifende Molekülringe des [2] Catenane bei Oxidation und anschließender Reduktion gegeneinander verschieben und dadurch die elektrischen Eigenschaften der Schaltverbindung geändert werden. Diese spannungsgesteuerte Verschiebung ist reversibel. Die Konfigurierung erfolgt also entlang einer Hystereseschleife. Abhängig von der zuvor beaufschlagten Konfigurierungsspannung ist ein bestimmtes Schaltverhalten bei Anlegen einer vorgegebenen Lesespannung zu beobachten.

30

Eine weitere Ausführungsform eines molekular aufgebauten Schalters geht aus [3] hervor. Auch hier wird der Elektronentransport über Molekularstrecken kontrolliert. Als Molekularschicht wird eine Bipyridinium-Verbindung verwendet.

35

In [5] wird eine Metall-Isolator-Metall-Anordnung vorgeschlagen. Auf einen SrRuO_3 -Film oder einen Pt-Film als Elektrode wird ein Isolatoroxid, etwa SrZrO_3 oder SrTiO_3 oder $\text{Ca}_2\text{Nb}_2\text{O}_7$, als epitaxialer oder polykristalliner Film
5 aufgebracht. Die Top-Elektrode aus Au oder Pt wird über eine Ti-Schicht auf den Isolator aufgebracht.

Ein Lesezugriff auf die Schaltanordnung erfolgt bei SrZrO_3 als Isolator dotiert mit 0,2 Cr in einem Spannungsbereich von
10 -0,5 Volt bis +0,5 Volt. In diesem Lesespannungsbereich ist der Strom-/Spannungszusammenhang in etwa linear. Der Stromfluß über diesen Spannungsbereich hängt ab von der vorherigen Konfiguration des Isolators. Konfiguriert wird der Isolator durch Anlegen von Spannungen von + 1 Volt oder - 1
15 Volt über eine Dauer von 2 ms. Durch Anlegen der negativen Konfigurationsspannung kippt der Isolator in seinen niederohmigen Zustand und weist dabei eine sich von der
Widerstandskennlinie nach Anlegen der positiven Konfigurationsspannung deutlich unterscheidende
20 Widerstandskennlinie auf. Durch Anlegen der positiven Konfigurationsspannung kippt der Isolator in seinen hochohmigen Zustand. Die Konfiguration ist reversibel.

Der durch Konfigurationsspannungspulse hervorgerufene Wechsel
25 der Widerstandskennlinien wird durch einen Wechsel zwischen amorphem und kristallinem Isolatorzustand verursacht.

[4] zeigt Chalcogenide-Legierungen, die durch gesteuertes Heizen und Kühlen konfiguriert werden. Dabei wird durch das
30 Anlegen eines Spannungspulses ein Wechsel zwischen amorphem und kristallinem Zustand und umgekehrt herbeigeführt.

[6] verwendet als Schicht, deren Leitfähigkeit aufgrund eines Wechsels zwischen kristallinem und amorphem Zustand änderbar

ist, einen Komplex aus 3-Nitrobenzal Malonitrile und 1,4-Phenylenediamine.

[7] offenbart einen elektrisch programmierbaren
5 Festwertspeicher, der Spannungs-programmierbare Strukturen aufweist, die fertig hergestellt sind zum Bereitstellen voraussagbarer und auswählbarer Programmierspannungen.

Der Erfindung liegt das Problem zugrunde, einen integrierten
10 Festwertspeicher anzugeben, der eine hohe Integrationsdichte aufweist, und der in wenigen Schritten programmiert werden kann.

Weiterhin liegt der Erfindung die Aufgabe zugrunde, ein
15 Verfahren zur Herstellung eines solchen integrierten Festwertspeichers anzugeben.

Die Aufgaben werden durch den integrierten Festwertspeicher nach den Merkmalen des Anspruch 1, das Betriebsverfahren nach
20 den Merkmalen des Anspruchs 24 sowie das Herstellungsverfahren nach den Merkmalen des Anspruchs 25 gelöst.

Der erfindungsgemäße Festwertspeicher enthält
25 Auswahltransistoren mit je einem Drain-Anschluss sowie eine Elektrode zur Zufuhr einer Spannung oder eines Stromes. Eine Schicht ist zwischen den Drain-Anschlüssen und der Elektrode vorgesehen. Der elektrische Widerstand der Schicht ist durch Einwirkung einer Konfigurierungs-Spannung oder eines
30 Konfigurierungs-Stromes änderbar.

Es wird also die Verwendung einer Schicht vorgeschlagen, deren elektrischer Widerstand oder deren elektrische Leitfähigkeit durch elektrische Konfigurierung änderbar ist.
35 Durch Einwirken eines Konfigurierungsstromes oder einer

Konfigurierungsspannung wird die elektrische Eigenschaft „Widerstand“ bzw. „Leitfähigkeit“ der Schicht eingestellt, sodass in einem Leseschritt die Einstellung abgefragt werden kann.

5

Wesentlich dabei ist, daß so gebildete Schaltelemente des integrierten Festwertspeichers nur zwei Anschlüsse aufzuweisen brauchen, eben den Elektrodenanschluss sowie den Anschluß zum Drain des jeweiligen Auswahltransistors. Über diese beiden Anschlüsse kann die als Speicherelement verwendete zwischenliegende Schicht durch geeignete Spannungs- oder Strombeaufschlagung sowohl konfiguriert werden - als Synonym auch für „beschrieben“ oder „programmiert“ verwendet -, als auch ihr Inhalt - repräsentiert durch einen bestimmten Schichtzustand - ausgelesen werden. Konfigurierungsanschluss und Leseanschluss müssen nicht mehr voneinander getrennt vorgesehen werden.

10

15

20

25

Durch eben diese Maßnahme kann die Integrationsdichte erheblich erhöht werden. Da jede Speicherzelle individuell ansteuerbar ist, kann die Ansteuerung mit hohen Geschwindigkeiten erfolgen. Zudem ermöglicht die Auswahl geeigneter Materialsysteme die Verwendung von niedrigen Betriebsspannungen, zumindest niedrigeren Betriebsspannungen als bei herkömmlichen Flash-Speicher-Technologien.

30

Bei über Gate angesteuertem Auswahltransistor einer Speicherzelle wird über eine an Source angeschlossene Bitleitung der Inhalt ausgelesen. Der Stromfluß von der Elektrode über die elektrisch schaltbare Schicht und die Drain-Source-Strecke des Auswahltransistors zur Bitleitung ist Maß für den Inhalt der Speicherzelle. Dabei wird der Stromfluß signifikant durch den voreingestellten Zustand der Schicht, eben ihre Widerstandscharakteristik, beeinflusst.

35

Die Programmierung einer solchen Speicherzelle kann durch Anwahl des entsprechenden Auswahltransistors und darauf folgendes Anlegen einer Konfigurierungsspannung zwischen Elektrode und Bitleitung erfolgen, oder aber auch durch

5 Variation in der Gate-Ansteuerung des Auswahltransistors bei an die Elektrode angelegter Spannung. Falls die Programmierung irreversibel ist, kann ein einmal programmierbarer Speicher realisiert werden, bei reversibler Zustandsänderung ein mehrfach beschreibbarer
10 Festwertspeicher.

Vorzugsweise ist die Schicht als gemeinsame Schicht zur Anbindung der Drain-Anschlüsse, und insbesondere aller Drain-Anschlüsse, an die Elektrode ausgebildet. Somit ist nur eine
15 einzige elektrisch schaltbare Schicht vorgesehen, an die mehrere oder sogar alle Drain-Anschlüsse von Auswahltransistoren angeschlossen sind, also elektrisch leitend mit dieser verbunden sind. Bei dieser vorteilhaften Weiterbildung der Erfindung wird davon ausgegangen, dass die
20 gemeinsame Schicht in ihren elektrischen Eigenschaften lokal änderbar und damit programmierbar ist. Damit können einzelne abgrenzbare örtliche Bereiche der Schicht unterschiedliche Leitfähigkeit aufweisen. Eben ein solcher Bereich bildet dann eine Speicherzelle, an die ein Auswahltransistor
25 angeschlossen ist. Über dieser Schicht ist die Elektrode vorzugsweise als gemeinsame Elektrode ausgebildet.

Damit wird der Herstellungsprozeß wesentlich vereinfacht, aber auch die Integrationsdichte deutlich erhöht.

30

Vorzugsweise ist der Widerstand der Schicht umschaltbar.

Diese Weiterbildung der Erfindung zielt ab auf eine möglichst gute Diskriminierung zwischen den Leitfähigkeitswerten der
35 einstellbaren Schichtzustände)

Vorzugsweise ist der Widerstand der Schicht zwischen zwei Widerstandskennlinien umschaltbar. Dabei wird davon ausgegangen, dass im Lesebetrieb der Widerstand über einem anlegbaren Lesespannungsbereich nicht konstant ist sondern einer Kennlinie folgt. Die den Schichtzuständen zugeordneten Kennlinien sollen dabei gut diskriminierbar sein.

Der Lesebetrieb der Speicherzelle zeichnet sich aus durch eine an die Schicht angelegte Lesespannung oder einen der Schicht zugeführten Lesestrom innerhalb eines festgelegten Spannungs- bzw. Strombereiches. Im Gegensatz dazu kann der Konfigurierungsbetrieb eine Konfigurierungsspannung bzw. einen Konfigurierungsstrom vorzugsweise außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches aufweisen.

Dabei können Konfigurierungs- und Lesebetrieb in völlig unterschiedlichen Spannungs- bzw. Strombereichen erfolgen und somit ein Fehlbetrieb vermieden werden.

Vorzugsweise ist der integrierte Festwertspeicher als Flash-Speicher ausgebildet. Dabei können durch Anlegen beispielsweise einer Konfigurierungsspannung an die Elektrode und gleichzeitigem Durchschalten aller Auswahltransistoren alle lokalen Speicherbereiche der elektrisch schaltbaren Schicht in den gleichen Zustand in bezug auf die Leitfähigkeit versetzt werden.

Damit ist ein schnelles Löschen des Speicherinhalts möglich.

Die an Source-Anschlüsse der Auswahltransistoren angeschlossenen Bitleitungen können mit einer Decoderschaltung verbunden sein. Dazu kann die Bitleitung

insbesondere zugänglich für einen externen Anschluß
ausgebildet sein.

Jeder Gate-Anschluss eines Auswahltransistors kann elektrisch
5 mit einer Wortleitung verbunden sein.

Die Wortleitung ihrerseits kann mit einer Decoderschaltung
verbunden sein. Dabei kann die Wortleitung insbesondere
zugänglich für einen externen Anschluß sein.

10

Diese Ausführungsformen dienen der Anwahl von
Auswahltransistoren im Multiplexbetrieb unter Vorschaltung
von die Adressen ermittelnden Decodern.

15 Die Auswahltransistoren sind auf dem Substrat vorzugsweise in
einem Feld angeordnet.

Dabei können die Auswahltransistoren einen planaren Aufbau im
Substrat aufweisen.

20

Durch den planaren Aufbau wird zugunsten vereinfachter
Herstellungsschritte eine gegenüber dem vertikalen Aufbau der
Transistoren etwas vergrößerte Integrationsdichte in Kauf
genommen. Die Integrationsdichte einer Speicherzelle beträgt
25 bei einer planaren Anordnung der Auswahltransistoren
beispielsweise etwa $6 \cdot F^2$ oder $8 \cdot F^2$, mit F als minimale
Strukturgröße.

Bei einem vertikalen Aufbau der Auswahltransistoren im
30 Substrat beträgt die Integrationsdichte einer Speicherzelle
etwa $4 \cdot F^2$, mit F als minimale Strukturgröße.

Vorzugsweise ist die elektrisch schaltbare Schicht als Molekularschicht ausgebildet und insbesondere als Monolayer ausgebildet.

5 Dabei kann sie insbesondere Rotaxane enthalten. Die Ausführungen in [1] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

10

Die Schicht kann aber auch Catenane enthalten. Die Ausführungen in [2] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als
15 zur Erfindung zugehörig offenbart.

Die Schicht kann auch eine Bispyridinium-Verbindung enthalten. Die Ausführungen in [3] hinsichtlich der chemischen Zusammensetzung der Schicht, der
20 Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann auch als Dielektrikum ausgebildet sein, unter Verwendung eines Oxidanteils.

25

Dabei kann die Schicht SrZrO_3 enthalten, oder aber auch $(\text{Ba.Sr})\text{TiO}_3$ oder SrTiO_3 oder $\text{Ca}_2\text{Nb}_2\text{O}_7$ oder Ta_4O_5 , gegebenenfalls geeignet dotiert, beispielsweise mit Cr. Die Ausführungen in [5] hinsichtlich der chemischen
30 Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann auch als Polymer ausgebildet sein.

35

Vorzugsweise enthält die Schicht dann einen 3-Nitrobenzal Malonitrile, 1,4 Phenylenediamine Komplex. Die Ausführungen in [6] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann aber insbesondere auch Chalcogenide-Material enthalten. Die Ausführungen in [4] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Zur Herstellung eines integrierten Festwertspeichers wird zunächst ein Feld von Auswahltransistoren in CMOS-kompatibler Technik hergestellt. Drain-Kontakte der Auswahltransistoren werden an die Oberfläche der Anordnung geführt, bevor über den Auswahltransistoren eine Schicht abgeschieden wird, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist. Abschließend wird über der Schicht eine Elektrode angeordnet.

Somit kann auch einfache Art und Weise ein hochintegrierter Speicher hergestellt werden.

Insbesondere bei gemeinsamer Schicht für mehrere oder alle Speicherzellen kann diese Schicht in nur einem Herstellungsschritt abgeschieden werden.

Dabei können die Auswahltransistoren in einem Frontend-Prozess hergestellt und die Schicht in einem Backend-Prozess abgeschieden werden. Unter Backend-Prozess werden hierbei die zeitlich letzten Fertigungsstufen in der Halbleiterfertigung

verstanden, insbesondere die Fertigungsstufen nach Aufbau von Strukturen im Substrat.

Hier bringt die Integration der schaltbaren Schicht im Backend-Prozess insbesondere für organische Verbindungen wesentliche Vorteile, da die schaltbare Schicht nicht den im Frontend-Prozess üblichen Temperaturen im Bereich von bis zu 1000 Celsius ausgesetzt ist. Weiterhin vermeidet die Verwendung einer unstrukturierten Topelektrode eine mögliche Schädigung der elektrisch schaltbaren Schicht durch eine der Strukturierungstechniken.

Die Auswahltransistoren können planar im Substrat aufgebaut werden oder aber auch vertikal. Bei der planaren Ausrichtung können Standard-Prozesse zur Herstellung verwendet werden.

Hinsichtlich der Schichtmaterialien sowie deren Besonderheiten und Vorteilen wird auf die Ausführungen zum integrierten Festwertspeicher verwiesen.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im weiteren näher erläutert.

Es zeigen:

Figur 1 einen Querschnitt durch einen Teil eines integrierten Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung unter der Verwendung von planaren Auswahltransistoren;

Figur 2 einen Querschnitt durch einen Teil eines integrierten Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung unter der Verwendung von vertikalen Auswahltransistoren; und

Figur 3 eine perspektivische Ansicht mit zum Teil explosiv dargestellten Elementen eines Ausschnitts eines Festwertspeichers nach Figur 2.

5 Gleiche Elemente sind figurenübergreifend durch die gleichen Bezugszeichen gekennzeichnet.

Fig.1 zeigt einen Teil eines integrierten Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung im
10 Querschnitt.

Der Festwertspeicher enthält dabei einen n-Kanal MOSFET als Auswahltransistor 15. In einem p-Substrat ist dabei durch Dotierung ein N-Draingebiet 11 und ein N-Sourcegebiet 12
15 erstellt. Über dem Kanal zwischen Drain- und Sourcegebiet 11 bzw. 12 ist durch eine Oxidschicht 9 isoliert ein Gate 5 aufgebracht mit einem Polysilizium-Gate 8 sowie einer Wolframschicht 7 und einer Nitridschicht 6 darüber.

20 Oxid-Spacer 10 isolieren das Gate 5 seitlich gegen einen Source-Anschluss 4, überwiegend aus Polysilizium hergestellt, sowie einem Drain-Anschluss 3, der als metallener Stöpsel nach oben geführt ist.

25 Source-Anschluss 4 und Drain-Anschluss 3 kontaktieren das Sourcegebiet 12 bzw. das Draingebiet 11 im Substrat 13.

Andererseits ist der Source-Anschluss 4 mit einer Bitleitung 14 verbunden. Der Drain-Anschluss 3 ist seinerseits mit einer
30 elektrisch schaltbaren Schicht 2 verbunden, beispielsweise eine Rotaxane-Molekularschicht, welche ihrerseits von einer Elektrode 1 bedeckt ist.

Zu beiden Seiten des Planar-Auswahltransistors 15 schließen
35 sich weitere Auswahltransistoren an. So ist beispielsweise

rechtsseitig ein weiterer Drain-Anschluss eines Auswahltransistors gezeigt, der ebenfalls mit der Schicht 2 verbunden ist.

- 5 Die Anordnung nach Figur 1 zeigt deshalb nur einen Ausschnitt aus einem Feld von Speicherzellen eines Festwertspeichers, insbesondere nur eine beschriftete Speicherzelle mit einem Auswahltransistor 15 und einem zugehörigen Abschnitt - um den Drain-Anschluss 3 herum - der Schicht 2 als
10 Speicherelement, das in diesem Bereich lokal konfigurierbar ist.

Insbesondere ist dabei der Widerstand der Schicht 2 lokal durch Einwirken einer an der Elektrode 1 anliegenden Spannung
15 änderbar. Somit ist das lokale elektrische Verhalten der Schicht 2 abhängig von der chemischen Zusammensetzung des Schichtmaterials einmalig oder mehrmals einstellbar durch Spannungs- oder durch Strompulse. Diese elektrisch schaltbare Schicht stellt in ihrer Gesamtheit die eigentlichen
20 Speicherelemente dar, die durch lokale Bereiche in der Schicht mit unterschiedlichen Widerstandskennwerten repräsentiert werden. Insbesondere ist erkennbar, daß die Drain-Anschlüsse 3 mehrerer Auswahltransistoren an diese gemeinsame Schicht 2 angeschlossen sind und somit eine
25 einzige Schicht, die lokal in ihren elektrischen Eigenschaften unterschiedlich konfigurierbar ist, sämtliche Speicherinhalte bereithält.

Das Gate 5 ist mit einer nicht eingezeichneten Wortleitung
30 verbunden. Zum Auslesen des Inhalts der abgebildeten Speicherzelle wird das Gate 5 über die Wortleitung aktiviert. An der Elektrode liegt eine vorgegebene Lesespannung an. An der Bitleitung wird der Speicherinhalt während der Gateansteuerung abgegriffen. Ist die Rotaxane-Schicht 2 als
35 offener Schalter programmiert, so läßt die Schicht 2 bei

Lesespannung, welche eine negative Polung in der Schicht bewirkt, einen Stromfluss zu, der an der Bitleitung detektiert wird. Ist die Rotaxane-Schicht aber als geschlossener Schalter programmiert - d.h. wurde bereits eine positive Spannung größer 0,7 Volt an die Elektrode angelegt, so läßt die Rotaxane-Schicht 2 aufgrund ihres molekularen Zustandes keinen Stromfluß mehr zu, was ebenfalls auf der Bitleitung detektiert wird.

- Bei der Herstellung eines solchen integrierten Festwertspeichers werden zunächst in Standard-CMOS-Prozessen die Auswahltransistoren erstellt. Nach einer Vorbereitung der Source- und Drain-Anschlüsse 4 und 3 wird die elektrisch schaltbare Schicht 2 im Backend-Prozess aufgebracht, bevor diese Schicht 2 mit der Elektrode 1 abgedeckt wird.

Figur 2 zeigt einen Teil eines integrierten Festwertspeichers gemäß einem zweiten Ausführungsbeispiel der Erfindung im Querschnitt.

- Im Unterschied zum Ausführungsbeispiel nach Figur 1 sind die Auswahltransistoren 15 nun vertikal im Substrat 13 angeordnet.

- Ein N-Sourcegebiet 12, ein P-Gebiet 16 und ein N-Draingebiet 11 sind übereinander angeordnet. An seitlichen vertikalen Oxidschichten 9 sind beidseits des oben beschriebenen Stapels vertikale Gates 5 aus Polysilizium angeordnet. Zwischen den Gates 5 benachbarter vertikaler Auswahltransistoren 15 sind Oxid-Spacer 10 zur Isolierung vorgesehen.

- Die N-Draingebiete 11 sind wiederum mit der bereits im Zusammenhang mit Figur 1 näher beschriebenen elektrisch schaltbaren Schicht 2 verbunden, auf der wiederum die Elektrode 1 aufgebracht ist.

Die N-Sourcegebiete sind wiederum mit unterhalb der Auswahltransistoren 15 angeordneten Bitleitungen 14 verbunden.

5

Die mit den Gates 5 verbundenen Wortleitungen sind wiederum nicht eingezeichnet.

10 Auch den Vertikaltransistoranordnungen nach Figur 2 wird die Schicht 2 im Backend-Prozess aufgebracht.

Figur 3 zeigt einen Ausschnitt eines integrierten Festwertspeichers nach Figur 2, im Bild nur mit einem einzigen vertikalen Auswahltransistor 15, in einer
15 Explosivdarstellung.

Schicht 2 und Elektrode 1 sind dabei explosiv abgehoben von dem einzigen Auswahltransistor 15.

20 Insbesondere sind Struktur und Anordnung von Bitleitungen 14 ersichtlich, die untereinander durch Oxid-Spacer 10 voneinander isoliert sind.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- 5 [1] C.P. Collier et al, Electronically Configurable
Molecular-Based Logic Gates, Science, Volume 285, S.
391, 1999
- 10 [2] C.P. Collier et al, A [2]Catenane-Based Solid State
Electronically Reconfigurable Switch, Science, Volume
289, S. 1172, 2000
- [3] D.I. Gittins et al, A Nanometre-Scale Electronic Switch
Consisting of a Metal Cluster and Redox-Addressable
Groups, Nature, Volume 408, S. 67, 2000
- 15 [4] G. Wicker et al, Nonvolatile, High Density, High
Performance Phase Change Memory, www.Ovonyx.com
- [5] A. Beck et al, Reproducible Switching Effect in Thin
Oxide Films for Memory Applications, Applied Physics
20 Letters, Volume 77, S. 139, 2000
- [6] H.J. Gao et al, Reversible, Nanometer-Scale Conductance
Transitions in an Organic ...", Physical Review Letters,
Volume 84, No. 8, S. 1780, 2000
- 25 [7] US 4,590,589

Bezugszeichenliste

	1	Elektrode
	2	Schicht
5	3	Drainanschluss
	4	Sourceanschluss
	5	Gate
	6	Nitridschicht
	7	Wolframschicht
10	8	Polysilizium-Gate
	9	Oxidschicht
	10	Oxid-Spacer
	11	N-Draingebiet
	12	N-Sourcegebiet
15	13	P-Substrat
	14	Bitleitung
	15	Auswahltransistor
	16	P-Gebiet

Patentansprüche

1. Integrierter Festwertspeicher,
 - mit Auswahltransistoren mit je einem Drain-Anschluss,
 - 5 • mit einer Elektrode zur Zufuhr einer Spannung oder eines Stromes,
 - mit einer Schicht zwischen den Drain-Anschlüssen und der Elektrode, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-
 - 10 Stromes änderbar ist.
2. Festwertspeicher nach Anspruch 1,
 - bei dem die Schicht als gemeinsame Schicht zur Anbindung der Drainanschlüsse an die Elektrode ausgebildet ist, und
 - 15 • bei dem der elektrische Widerstand der Schicht lokal änderbar ist.
3. Festwertspeicher nach Anspruch 1 oder Anspruch 2, bei dem der Widerstand der Schicht umschaltbar ist.
- 20 4. Festwertspeicher nach einem der vorhergehenden Ansprüche, bei dem der Widerstand der Schicht zwischen zwei Widerstandskennlinien umschaltbar ist.
- 25 5. Festwertspeicher nach einem der vorhergehenden Ansprüche,
 - mit einer an die Schicht angelegten Lesespannung oder einem der Schicht zugeführten Lesestrom innerhalb eines festgelegten Spannungs- bzw. Strombereiches in einem Lesebetrieb des Festwertspeichers, und
 - 30 • mit einer Konfigurierungsspannung bzw. einem Konfigurierungsstrom außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches in einem Konfigurierungsbetrieb des Festwertspeichers.

6. Festwertspeicher nach einem der vorhergehenden Ansprüche, der als Flash-Speicher ausgebildet ist.

7. Festwertspeicher nach einem der vorhergehenden Ansprüche, bei dem die Auswahltransistoren in einem Feld angeordnet sind.

8. Festwertspeicher nach einem der vorhergehenden Ansprüche, mit einem Source-Anschluss je Auswahltransistor, und mit einer Bitleitung, die mit zumindest einem Source-Anschluss elektrisch verbunden ist.

9. Festwertspeicher nach Anspruch 8, bei dem die Bitleitung mit einer Decoderschaltung verbunden ist.

10. Festwertspeicher nach Anspruch 8 oder Anspruch 9, bei dem die Bitleitung zugänglich für einen externen Anschluß ist.

20

11. Festwertspeicher nach einem der vorhergehenden Ansprüche, mit einem Gate-Anschluss je Auswahltransistor, und mit einer Wortleitung, die mit zumindest einem Gate-Anschluss elektrisch verbunden ist.

25

12. Festwertspeicher nach Anspruch 11, bei dem die Wortleitung mit einer Decoderschaltung verbunden ist.

13. Festwertspeicher nach Anspruch 11 oder Anspruch 12, bei dem die Wortleitung zugänglich für einen externen Anschluß ist.

14. Festwertspeicher nach einem der vorhergehenden Ansprüche,

bei dem die Auswahltransistoren einen planaren Aufbau im Substrat aufweisen.

15. Festwertspeicher nach einem Ansprüche 1 bis 13,
5 bei dem die Auswahltransistoren einen vertikalen Aufbau im Substrat aufweisen.

16. Festwertspeicher nach einem der vorhergehenden Ansprüche,
bei dem die Schicht als Molekularschicht ausgebildet ist.

10

17. Festwertspeicher nach Anspruch 16,
bei dem die Schicht Rotaxane enthält.

18. Festwertspeicher nach Anspruch 16,
15 bei dem die Schicht Catenane enthält.

19. Festwertspeicher nach Anspruch 16,
bei dem die Schicht eine Bispyridinium-Verbindung enthält.

20. Festwertspeicher nach einem der Ansprüche 1 bis 15,
20 bei dem die Schicht als Dielektrikum ausgebildet ist.

21. Festwertspeicher nach Anspruch 20,
bei dem die Schicht SrZrO_3 enthält.

25

22. Festwertspeicher nach einem der Ansprüche 1 bis 15,
bei dem die Schicht als Polymer ausgebildet ist.

23. Festwertspeicher nach Anspruch 22,
30 bei dem die Schicht 3-Nitrobenzal Malonitrile, 1,4
Phenylenediamine Komplex enthält.

24. Festwertspeicher nach Anspruch 22,
bei dem die Schicht eine Chalcogenide-Verbindung enthält.

35

25. Verfahren zum Betreiben eines integrierten Festwertspeichers nach einem der vorhergehenden Ansprüche,

- bei dem in einem Lesebetrieb eine Lesespannung oder ein Lesestrom innerhalb eines festgelegten Spannungs- bzw. Strombereiches an die Schicht angelegt wird, und
- bei dem in einem Konfigurierungsbetrieb eine Konfigurierungsspannung bzw. ein Konfigurierungsstrom außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches an die Schicht angelegt wird.

26. Verfahren zum Herstellen eines integrierten Festwertspeichers,

- bei dem ein Feld von Auswahltransistoren in CMOS-Technik hergestellt wird,
- bei dem Drain-Kontakte der Auswahltransistoren an die Oberfläche der Anordnung geführt werden,
- bei dem eine Schicht abgeschieden wird, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist,
- bei dem über der Schicht eine Elektrode angeordnet wird.

27. Verfahren zum Herstellen eines integrierten Festwertspeichers nach Anspruch 26,

bei dem die Schicht als gemeinsame Schicht zur Anbindung der Drainanschlüsse an die Elektrode über den Auswahltransistoren abgeschieden wird.

28. Verfahren zum Herstellen eines integrierten Festwertspeichers nach Anspruch 26 oder Anspruch 27,

bei dem die Auswahltransistoren in einem Frontend-Prozess hergestellt werden.

29. Verfahren zum Herstellen eines integrierten Festwertspeichers nach einem der Ansprüche 26 bis 28,

bei dem die Schicht in einem Backend-Prozess abgeschieden wird.

30. Verfahren zum Herstellen eines integrierten
5 Festwertspeichers nach einem der Ansprüche 26 bis 29,
bei dem die Auswahltransistoren planar im Substrat aufgebaut werden.

31. Verfahren zum Herstellen eines integrierten
10 Festwertspeichers nach einem der Ansprüche 26 bis 29,
bei dem die Auswahltransistoren vertikal im Substrat aufgebaut werden.

32. Verfahren zum Herstellen eines integrierten
15 Festwertspeichers nach einem der Ansprüche 26 bis 31,
bei dem die Schicht als Molekularschicht ausgebildet ist.

33. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,
20 bei dem die Schicht Rotaxane enthält.

34. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,
bei dem die Schicht Catenane enthält.

25 35. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,
bei dem die Schicht eine Bipyridinium-Verbindung enthält.

30 36. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach einem der Ansprüche 26 bis 31,
bei dem die Schicht als Dielektrikum ausgebildet ist.

37. Verfahren zum Herstellen eines integrierten
35 Festwertspeichers nach Anspruch 36,

bei dem die Schicht SrZrO_3 enthält.

38. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach einem der Ansprüche 26 bis 31,
5 bei dem die Schicht als Polymer ausgebildet ist.

39. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 38,
bei dem die Schicht einen 3-Nitrobenzal Malonitrile, 1,4
10 Phenylenediamine-Komplex enthält.

40. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach einem der Ansprüche 26 bis 31,
bei dem die Schicht eine Chalcogenide-Verbindung enthält.
15

FIG 2

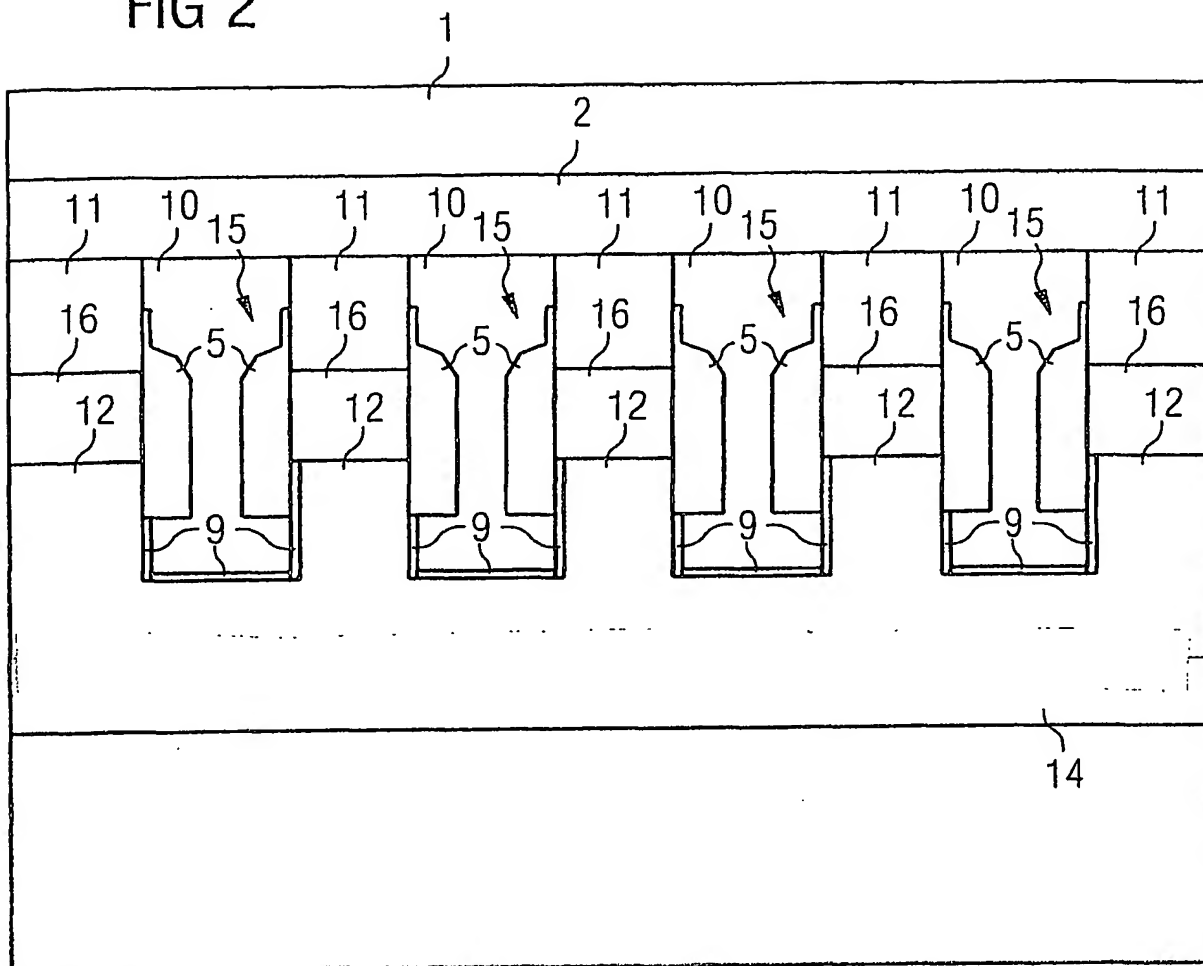
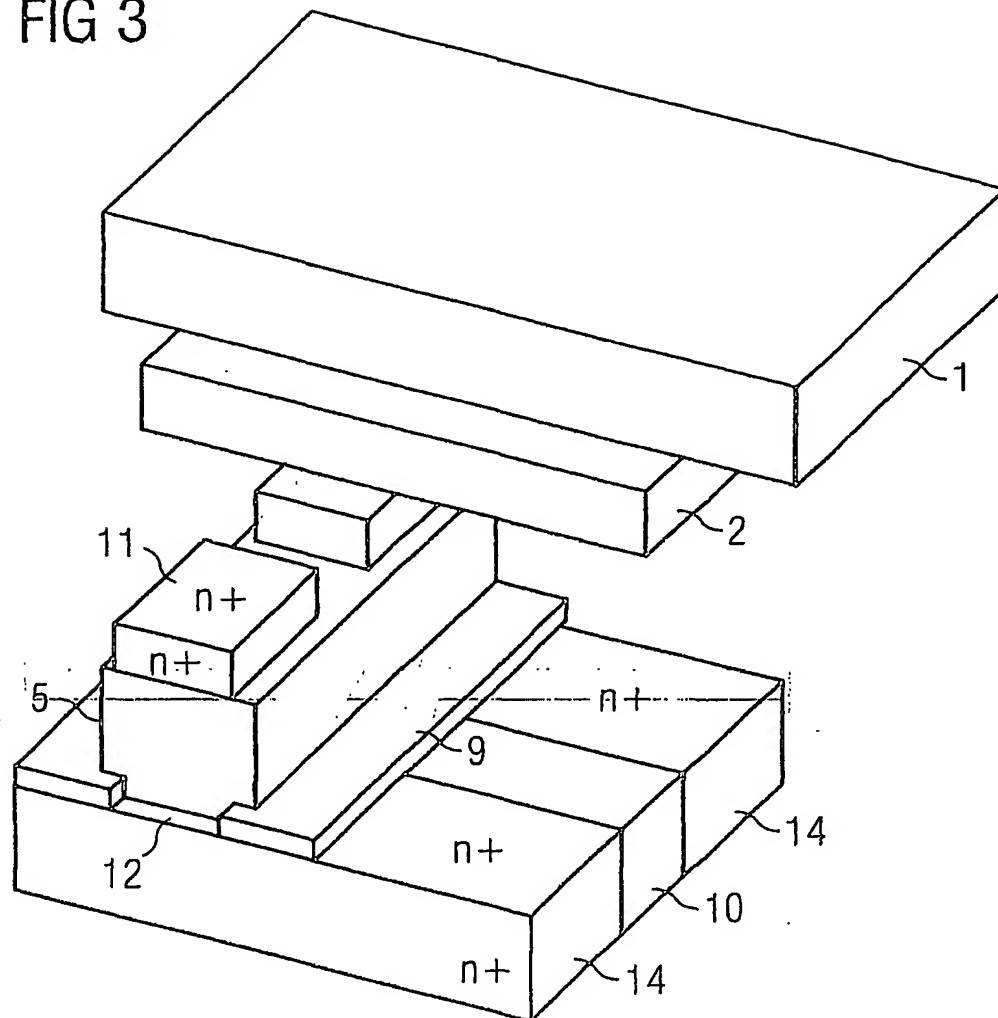


FIG 3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 03/01583

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L27/115 G11C16/10

According to International Patent Classification (IPC) or to both national classification and IPO

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 978 258 A (MANNING MONTE) 2 November 1999 (1999-11-02) column 3, line 43 -column 4, line 20 ---	1-40
A	US 5 812 441 A (MANNING MONTE) 22 September 1998 (1998-09-22) column 3, line 38 -column 4, line 17 ---	1-40
A	US 5 363 329 A (TROYAN EUGENIY) 8 November 1994 (1994-11-08) abstract column 3, line 58 -column 4, line 60 ---	1-40
P,A	US 2002/196652 A1 (MILLS ALLEN PAINE) 26 December 2002 (2002-12-26) page 1 (00008) - (0010) -----	1-40

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "G" document member of the same patent family

Date of the actual completion of the international search

28 May 2003

Date of mailing of the international search report

23. 06. 2003

Name and mailing address of the ISA

European Patent Office, P.O. 6018 Patentplan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 661 epo nl
Fax: (+31-70) 340-3018

Authorized officer

Anna Flodman

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/01583

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5978258	A	02-11-1999	US 5812441 A	22-09-1998
US 5812441	A	22-09-1998	US 5978258 A	02-11-1999
US 5363329	A	08-11-1994	NONE	
US 2002196652	A1	26-12-2002	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L27/115 G11C16/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 978 258 A (MANNING MONTE) 2. November 1999 (1999-11-02) Spalte 3, Zeile 43 - Spalte 4, Zeile 20 ---	1-40
A	US 5 812 441 A (MANNING MONTE) 22. September 1998 (1998-09-22) Spalte 3, Zeile 38 - Spalte 4, Zeile 17 ---	1-40
A	US 5 363 329 A (TROYAN EUGENIY) 8. November 1994 (1994-11-08) Zusammenfassung Spalte 3, Zeile 58 - Spalte 4, Zeile 60 ---	1-40
P,A	US 2002/196652 A1 (MILLS ALLEN PAINE) 26. Dezember 2002 (2002-12-26) Seite 1 (0008) - (0010) -----	1-40



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

28. Mai 2003

Absendedatum des internationalen Recherchenberichts

23. 06. 2003

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

ANNA FLODMAN /EÖ

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/01583

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5978258	A	02-11-1999	US	5812441 A	22-09-1998
US 5812441	A	22-09-1998	US	5978258 A	02-11-1999
US 5363329	A	08-11-1994	KEINE		
US 2002196652	A1	26-12-2002	KEINE		